

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-243789

(43)Date of publication of application : 07.09.2001

(51)Int.Cl.

G11C 29/00
G11C 11/401

(21)Application number : 2000-
051049

(71)Applicant : FUJITSU LTD

(22)Date of filing :

28.02.2000

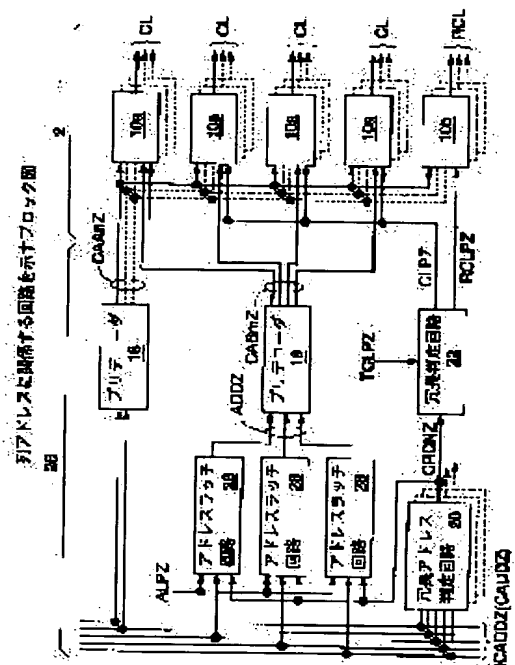
(72)Inventor : IKEDA HITOSHI
FUJIOKA SHINYA

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce power consumption in the operation of a redundant circuit more than conventional one in a semiconductor integrated circuit having a redundant circuit relieving a memory cell.

SOLUTION: This circuit is provided with a memory cell block, a first decoder 16, and a second decoder 18. The memory cell block has plural memory cell strings in which memory cells are arranged in the one direction and a redundant memory cell string for relieving defects of these memory cell strings. The first decoder 16 selects any of memory cell blocks, the second decoder 18 selects any of memory cell strings in the memory cell block. Operation of the second decoder 18 being not used for decoding of the redundant memory cell string is stopped at the time of operation of the redundant memory cell string. As a needless circuit is not operated, power consumption can be reduced at the time of operation of the redundant memory cell string.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision
of rejection]

[Kind of final disposal of application
other than the examiner's decision of

rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

F-02ED 0260

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-243789

(P2001-243789A)

(43) 公開日 平成13年9月7日(2001.9.7)

(51) Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
G 1 1 C 29/00 11/401	6 0 3	G 1 1 C 29/00 11/34	6 0 3 F 5 B 0 2 4 3 7 1 D 5 L 1 0 6

審査請求 未請求 請求項の数 7 O L (全 11 頁)

(21) 出願番号 特願2000-51049(P2000-51049)

(22) 出願日 平成12年2月28日(2000.2.28)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 池田 仁史

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 藤岡 伸也

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 100072718

弁理士 古谷 史旺 (外1名)

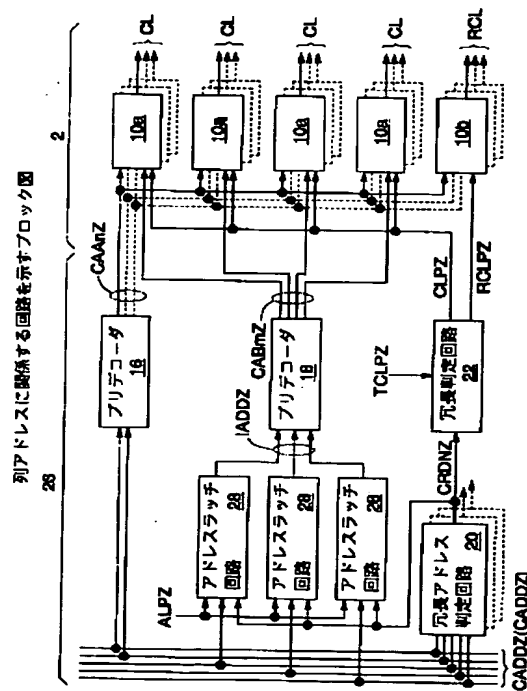
最終頁に続く

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】 メモリセルを救済する冗長回路を有する半導体集積回路に関し、冗長回路の動作時の消費電力を従来に比べ低減することを目的とする。

【解決手段】 メモリセルブロックと、第1デコーダ16と、第2デコーダ18とを備えている。メモリセルブロックは、メモリセルが一方方向に配置された複数のメモリセル列およびこれ等メモリセル列の不良を救済するための冗長メモリセル列を有している。第1デコーダ16は、メモリセルブロックのいずれかを選択し、第2デコーダ18は、メモリセルブロック内のメモリセル列のいずれかを選択する。冗長メモリセル列のデコードに使用されない第2デコーダ18の動作は、冗長メモリセル列の動作時に停止される。不要な回路が動作しないため、冗長メモリセル列の動作時に消費電力を低減できる。



【特許請求の範囲】

【請求項1】 メモリセルが一方方向に配置された複数のメモリセル列および該メモリセル列の不良を救済するための冗長メモリセル列を有する複数のメモリセルブロックと、

前記メモリセルブロックのいずれかを選択する第1デコーダと、

前記メモリセルブロック内の前記メモリセル列のいずれかを選択する第2デコーダとを備え、

前記第2デコーダの動作は、前記冗長メモリセル列の動作時に停止されることを特徴とする半導体集積回路。

【請求項2】 請求項1記載の半導体集積回路において、

アドレス信号を取り込み、取り込んだ該アドレス信号を前記第2デコーダに供給するアドレスラッチ回路を備え、

前記アドレスラッチ回路は、前記冗長メモリセル列の動作時に取り込み動作を停止し、取り込んでいる前記アドレス信号を前記第2デコーダに出力し続けることを特徴とする半導体集積回路。

【請求項3】 請求項1記載の半導体集積回路において、

前記複数のメモリセルブロックと、前記第1デコーダと、前記第2デコーダとを有する複数のメモリバンクを備えたことを特徴とする半導体集積回路。

【請求項4】 請求項3記載の半導体集積回路において、

前記各メモリバンクは、アドレス信号を取り込み、取り込んだ該アドレス信号を前記第2デコーダに供給するアドレスラッチ回路を備え、

前記各メモリバンクにおいて、前記アドレスラッチ回路は、前記冗長メモリセル列の動作時に取り込み動作を停止し、取り込んでいる前記アドレス信号を前記第2デコーダに出力し続けることを特徴とする半導体集積回路。

【請求項5】 請求項1記載の半導体集積回路において、

前記メモリセル列の前記メモリセルは、同一のワード線に接続され、

前記第1デコーダおよび前記第2デコーダは、行アドレス信号をデコードすることを特徴とする半導体集積回路。

【請求項6】 請求項1記載の半導体集積回路において、

前記メモリセル列の前記メモリセルは、同一のビット線に接続され、

前記第1デコーダおよび前記第2デコーダは、列アドレス信号をデコードすることを特徴とする半導体集積回路。

【請求項7】 請求項6記載の半導体集積回路において、

前記列アドレス信号は、行アドレス信号と同時に外部から供給されることを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、メモリセルを有する半導体集積回路に関し、特に、不良を救済するための冗長回路を有する半導体集積回路に関する。

【0002】

【従来の技術】 一般に、DRAM等の半導体集積回路は、基板中の結晶欠陥および製造工程での異物等に起因する不良を救済し、歩留を向上するために、冗長回路を有している。図9は、この種の冗長回路を有するDRAMのメモリコア部2の構成例を示している。

【0003】 メモリコア部2は、メモリセルブロック4が縦横に配置されたメモリセルアレイ6を有している。各メモリセルブロック4は、縦横に配置された複数のメモリセル（図示せず）を有している。ワード線デコーダ列8およびコラム線デコーダ列10は、メモリセルアレイ6の周囲に、図の縦方向および横方向に沿ってそれぞれ配置されている。

【0004】 図10は、メモリセルブロック4およびその周囲の回路を示している。ワード線デコーダ列8は、複数のワード線デコーダ8aおよび冗長用のワード線デコーダ8bで構成されている。ワード線WL、冗長ワード線RWLは、ワード線デコーダ8a、8bから、図の横方向に沿って配置されたメモリセルブロック4に向けて配線されている。コラム線デコーダ列10は、複数のコラム線デコーダ10aおよび冗長用のコラム線デコーダ10bで構成されている。コラム線CL、冗長コラム線RCLは、コラム線デコーダ10a、10bから、図の縦方向に沿って配置されたメモリセルブロック4に向けて配線されている。図示していないが、メモリセルブロック4内に、コラム線CLおよび冗長コラム線RCLに沿ってビット線が形成されている。ビット線は、図の縦方向に沿って配置された複数のメモリセルMCに接続されている。なお、図の縦方向および横方向に沿って配置されたメモリセルMCの集まりをメモリセル列と称する。冗長ワード線RWLに接続されたメモリセル列14a（図の横方向に沿う網掛け部分）は、ワード線WLを救済するための冗長用のメモリセルMCで構成されている。ビット線（図示せず）を介して冗長コラム線WCLに接続されたメモリセル列14b（図の縦方向に沿う網掛け部分）は、コラム線CL（またはビット線）を救済するための冗長用のメモリセルMCで構成されている。また、複数のセンスアンプを有するセンスアンプ列12が、メモリセルブロック4とコラム線デコーダ列10の間、および図の縦方向に沿って配置されたメモリセルブロック4の間に配置されている。

【0005】 上述したDRAMでは、例えば、メモリセルブロック4内の×印のメモリセルMCが不良の場合、そのメ

メモリセルMCに対応するコラム線デコーダ10aを動作させず、冗長用のコラム線デコーダ10bを動作させる。そして、不良のメモリセルMCを含むメモリセル列の代わりに、冗長コラム線RCLに接続されたメモリセル列14bが使用され、不良が救済される。あるいは、不良のメモリセルMCに対応するワード線デコーダ8aを動作させず、冗長用のワード線デコーダ8bを動作させる。そして、不良のメモリセルMCを含むメモリセル列の代わりに、冗長ワード線RWLに接続されたメモリセル列14aが使用され、不良が救済される。このような救済は、メモリセルMCの不良だけでなく、ワード線不良、コラム線不良、ビット線不良等のメモリコア部2内の不良に対して行われる。

【0006】図11は、コラムデコーダ10a、10bを選択するためのアドレスデコーダおよび冗長回路、すなわち、列アドレスに関係する回路を示している。プリデコーダ16は、列アドレス信号CADDZのうち上位の信号を受け、デコードした信号をデコード信号CAAnZとして出力している。プリデコーダ18は、列アドレス信号CADDZのうち下位の信号を受け、デコードした信号をデコード信号CABmZとして出力している。このように、アドレス信号は、プリデコーダ16、18とコラムデコーダ10aとにより、2回に分けてデコードされる。デコード信号CAAnZ、CABmZは、複数のコラムデコーダ10aに供給されている。

【0007】複数の冗長アドレス判定回路20は、それぞれ列アドレス信号CADDZを受け、冗長信号CRDNZを出力している。冗長アドレス判定回路20は、例えば、ヒューズを有している。そして、試験工程において、試験結果に基づいて不良のアドレスに対応するヒューズが、予め溶断される。冗長アドレス判定回路20は、ヒューズの情報と列アドレス信号CADDZとが一致したときに、冗長信号CRDNZを活性化（高レベル）する。

【0008】冗長判定回路22は、冗長信号CRDNZの活性化時に、タイミング信号TCLPZに同期してタイミング信号RCLPZを高レベルにし、タイミング信号CLPZを低レベルに保持する。冗長判定回路22は、冗長信号CRDNZの非活性化時に、タイミング信号TCLPZに同期してタイミング信号RCLPZを高レベルにし、タイミング信号CLPZを低レベルに保持する。

【0009】コラム線デコーダ10aは、プリデコーダ16、18からのデコード信号CAAnZ、CABmZをタイミング信号CLPZに同期してデコードし、デコードした信号をコラム線CLに出力している。コラム線デコーダ10aは、所定のデコード信号CAAnZ、CABmZおよび高レベルのタイミング信号CLPZを受けたときに、コラム線CLを高レベルにする。なお、破線で示したコラム線デコーダ10aは、隣接するメモリセルブロック4のデコーダである。

【0010】冗長用のコラム線デコーダ10bは、プリ

デコーダ16からのデコード信号CAAnZをタイミング信号RCLPZに同期してデコードし、デコードした信号を冗長コラム線RCLに出力している。コラム線デコーダ10bは、所定のデコード信号CAAnZ、および高レベルのタイミング信号RCLPZを受けたときに、コラム線CLを高レベルにする。

【0011】このように、プリデコーダ16は、上位のアドレス信号を受け、メモリセルブロック4のいずれか、または冗長用のコラム線デコーダ10bを選択する。プリデコーダ18は、下位のアドレス信号を受け、選択されたメモリセルブロック4内のコラム線デコーダ10aを選択する。図12は、図11に示した回路の動作を示している。

【0012】動作サイクルC1において、プリデコーダ16、18は、列アドレス信号CADDZをデコードし、デコードした信号をそれぞれデコード信号CAAnZ、CABmZとして出力する（図12(a)）。タイミング信号TCLPZは、所定の期間高レベルにされる。動作サイクルC1で供給される列アドレス信号CADDZは、不良のメモリセルMCに対応するアドレスでない。このため、冗長アドレス判定回路20は、冗長信号CRDNZの非活性化状態を保持する（図12(b)）。

【0013】冗長判定回路22は、低レベルの冗長信号CRDNZを受け、タイミング信号TCLPZに同期してタイミング信号CLPZを活性化（高レベル）する（図12(c)）。冗長判定回路22は、タイミング信号RCLPZの非活性化状態（低レベル）を保持する（図12(d)）。コラム線デコーダ10aは、タイミング信号CLPZに同期してそれぞれデコード信号CAAnZ、CABmZをデコードし、所定のコラム線CLを高レベルにする（図12(e)）。コラム線デコーダ10bは、タイミング信号RCLPZの低レベルを受けて、非活性化される。すなわち、冗長コラム線RCLは、低レベルを保持する（図12(f)）。そして、所定のコラム線CLに対応するメモリセル列が選択され、読み出し動作または書き込み動作が実行される。

【0014】次に、動作サイクルC2において、プリデコーダ16、18は、列アドレス信号CADDZをデコードし、デコードした信号をデコード信号CAAnZ、CABmZとしてそれぞれ出力する。タイミング信号TCLPZは、所定の期間高レベルにされる。動作サイクルC2で供給される列アドレス信号CADDZは、不良のメモリセルMC等に対応するアドレスである。冗長アドレス判定回路20は、この不良アドレス（列アドレス信号CADDZ）を受けて、冗長信号CRDNZを活性化（高レベル）する（図12(g)）。

【0015】冗長判定回路22は、高レベルの冗長信号CRDNZを受け、タイミング信号TCLPZに同期してタイミング信号RCLPZを活性化（高レベル）する（図12(h)）。冗長判定回路22は、タイミング信号CLPZの非活性化状態（低レベル）を保持する（図12(i)）。コラム線デコーダ10aは、タイミング信号CLPZの低レベルを受け

て、非活性化される。すなわち、コラム線CLは、低レベルを保持する(図12(j))。コラム線デコーダ10bは、タイミング信号RCLPZに同期してデコード信号CAAnZをデコードし、所定の冗長コラム線RCLのレベルを高レベルにする(図12(k))。そして、この冗長コラム線RCLに対応する冗長用のメモリセル列14b(図10)が選択され、読み出し動作または書き込み動作が実行される。

【0016】なお、図10ないし図12では、コラム線CLまたは冗長コラム線RCLを選択する例について説明したが、ワード線WL、冗長ワード線RWLも、同様の回路を使用して同様のタイミングで選択される。

【0017】

【発明が解決しようとする課題】ところで、図11に示したプリデコーダ16、18は、列アドレス信号CADDZの変化を受けたとき、常に動作する。一方、列アドレス信号CADDZが不良アドレスの場合、コラム線デコーダ10aは、タイミング信号CLPZにより非活性化される。このため、コラム線デコーダ10aは、プリデコーダ18が出力するデコード信号CABmZを使用しない。すなわち、冗長回路の動作時に、動作する必要のないプリデコーダ18が動作し、消費電力が増大するという問題があった。プリデコーダ18から出力されるデコード信号CABmZは、多数のコラム線デコーダ10aに接続されているため、その配線長は長く、負荷容量も大きい。したがって、プリデコーダ18の動作により消費される電力は、他の回路に比べて大きい。

【0018】本発明の目的は、メモリセルおよびメモリセルを救済する冗長回路を有する半導体集積回路において、冗長回路の動作時の消費電力を従来に比べ低減することにある。

【0019】

【課題を解決するための手段】請求項1の半導体集積回路は、メモリセルブロックと、第1デコーダと、第2デコーダとを備えている。メモリセルブロックは、メモリセルが一方方向に配置された複数のメモリセル列およびこれ等メモリセル列の不良を救済するための冗長メモリセル列を有している。第1デコーダは、メモリセルブロックのいずれかを選択し、第2デコーダは、メモリセルブロック内のメモリセル列のいずれかを選択する。冗長メモリセル列のデコードに使用されない第2デコーダの動作は、冗長メモリセル列の動作時に停止される。不要な回路が動作しないため、冗長メモリセル列の動作時に消費電力を低減できる。

【0020】請求項2の半導体集積回路は、アドレス信号を取り込み、取り込んだアドレス信号を第2デコーダに供給するアドレスラッチ回路を備えている。アドレスラッチ回路は、冗長メモリセル列の動作時に取り込み動作を停止し、取り込んでいるアドレス信号を第2デコーダに出力し続ける。このため、第2デコーダから出力さ

れるデコード信号のレベルは、冗長メモリセル列の動作時に変化しない。この結果、第2デコーダの不要な電力の消費を低減できる。

【0021】請求項3の半導体集積回路は、複数のメモリセルブロックと、第1デコーダと、第2デコーダとを有する複数のメモリバンクを備えている。複数のメモリバンクを有する半導体集積回路においても、冗長メモリセル列の動作時に消費電力を低減できる。請求項4の半導体集積回路では、各メモリバンクは、アドレス信号を取り込み、取り込んだアドレス信号を第2デコーダに供給するアドレスラッチ回路を備えている。各メモリバンクにおいて、アドレスラッチ回路は、冗長メモリセル列の動作時に取り込み動作を停止し、取り込んでいる前記アドレス信号を第2デコーダに出力し続ける。このため、第2デコーダから出力されるデコード信号のレベルは、冗長メモリセル列の動作時に変化しない。この結果、第2デコーダの不要な電力の消費を低減できる。

【0022】請求項5の半導体集積回路では、メモリセル列のメモリセルは、同一のワード線に接続されている。第1デコーダおよび第2デコーダは、行アドレス信号をデコードする。すなわち、冗長メモリセル列は、ワード線の救済に使用される。このため、ワード線の救済時に消費電力を低減できる。請求項6の半導体集積回路では、メモリセル列のメモリセルは、同一のビット線に接続され、第1デコーダおよび第2デコーダは、列アドレス信号をデコードする。すなわち、冗長メモリセル列は、ビット線(またはコラム線)の救済に使用される。このため、ビット線(またはコラム線)の救済時に消費電力を低減できる。

【0023】請求項7の半導体集積回路では、列アドレス信号と行アドレス信号とが同時に外部から供給される。すなわち、アドレス非多重式の半導体集積回路において、冗長メモリセル列の動作時に消費電力を低減できる。また、ビット線(またはコラム線)の救済の有無を、動作サイクルの早い時期に判定できる。

【0024】

【発明の実施の形態】以下、本発明の実施形態を図面を用いて説明する。

【0025】図1は、本発明の半導体集積回路の第1の実施形態を示している。この実施形態は、請求項1、請求項2、請求項6、請求項7に対応している。従来技術で説明した回路・信号と同一の回路・信号については、同一の符号を付し、これ等については、詳細な説明を省略する。

【0026】この半導体集積回路は、シリコン基板上にCMOSプロセス技術を使用してFCRAM(Fast Cycle RAM)として形成されている。FCRAMの概要は、日経BP社の日経エレクトロニクス1998.6.15(no.718)に記載されている。FCRAMは、入出力制御部24、チップ制御部26、およびメモリコア部2を有している。入出力制御部

24、チップ制御部26、およびメモリコア部2の主要な制御回路は、CMOS回路で形成されている。

【0027】入出力制御部24は、チップの動作状態を設定するコマンド信号CMD、行アドレス信号RADDZ、列アドレス信号CADDZを外部から受け、受けた信号をそれぞれ内部コマンド信号ICMD、内部行アドレス信号IRADDZ、内部列アドレス信号ICADDZとしてチップ制御部26に出力している。入出力制御部24は、外部に対して入出力データ信号DQを入出力し、メモリコア部2に対して内部入出力データ信号IDQを入出力している。チップ制御部26は、内部コマンド信号ICMD、内部行アドレス信号IRADDZ、内部列アドレス信号ICADDZを受け、行アドレスに対応するデコード信号RAAnZ、RABmZ、列アドレスに対応するデコード信号CAAnZ、CABmZ、およびタイミング信号CLPZ、RCLPZをメモリコア部2に出力している。図1に示した信号は、全て複数で構成されている。メモリコア部2は、従来(図9)と同一の回路であり、メモリセルブロック4が縦横に配置されたメモリセルアレイ6を有している。メモリセルブロック4は、図10と同様に、メモリセルMCが一方に配置された複数のメモリセル列およびこのメモリセル列の不良を救済するための冗長用のメモリセル列14a、14bを有している。なお、このFCRAMは、行アドレス信号RADDZ、列アドレス信号CADDZ毎にアドレス端子を有し、行アドレス信号RADDZ、列アドレス信号CADDZは、同時に外部から供給される。このFCRAMは、アドレス非多重式のメモリである。

【0028】図2は、チップ制御部26およびメモリコア部2のうち、列アドレスに関係する回路を示している。この実施形態では、下位アドレスをデコードするプリデコーダ18は、アドレスラッチ回路28に取り込まれた内部アドレス信号IADDZを受けている。アドレスラッチ回路28は、冗長信号CRDNZの低レベル時に、アドレスラッチ信号ALPZの立ち上がり同期して、内部アドレス信号ICADDZを取り込む回路である。アドレスラッチ回路28を除く回路構成は、従来と同一である。プリデコーダ16は、第1デコーダに対応し、プリデコーダ18は、第2デコーダに対応している。

【0029】図3は、アドレスラッチ回路28の詳細を示している。アドレスラッチ回路28は、2つのインバータの入力と出力とを互いに接続したラッチ28aと、内部アドレス信号ICADDZをラッチ28aに伝達するCMOS伝達ゲート28bと、CMOS伝達ゲート28bを制御する制御回路28cとを有している。制御回路28cは、高レベルのアドレスラッチ信号ALPZおよび低レベルの冗長信号CRDNZを受けたとき、CMOS伝達ゲート28bをオンにする。

【0030】図4は、図2に示した回路の動作を示している。従来と同一の動作については、説明を省略する。最初の動作サイクルC1において、冗長アドレス判定回路20は、内部アドレス信号ICADDZを受けて、低レベルの

冗長信号CRDNZを出力する(図4(a))。すなわち、で供給される列アドレス信号CADDZは、不良のメモリセルMCに対応するアドレスでない。アドレスラッチ信号ALPZは、所定の期間高レベルにされる。アドレスラッチ回路28は、低レベルの冗長信号CRDNZを受け、アドレスラッチ信号ALPZに同期して、内部アドレス信号ICADDZを取り込み、取り込んだ信号を内部アドレス信号IADDZとして出力する(図4(b))。プリデコーダ18は、内部アドレス信号IADDZをデコードし、デコードした信号をデコード信号CABmZとして出力する(図4(c))。デコード信号CAAnZ、タイミング信号TCLPZ、CLPZ、RCLPZ、コラム線CL、および冗長コラム線RCLのタイミングは、従来と同一である。そして、所定のコラム線CLに対応するメモリセル列が選択され、読み出し動作または書き込み動作が実行される。

【0031】次に、動作サイクルC2において、冗長アドレス判定回路20は、内部アドレス信号ICADDZを受けて、高レベルの冗長信号CRDNZを出力する(図4(d))。すなわち、動作サイクルC2で供給される列アドレス信号CADDZは、不良のメモリセルMC等に対応するアドレスである。ここで、列アドレス信号CADDZは、行アドレス信号RADDZと同時に外部から供給されるため、動作サイクルC2の開始直後に救済の判定ができる。アドレスラッチ回路28は、高レベルの冗長信号CRDNZを受け、非活性化される。このため、アドレスラッチ回路28のラッチ28a(図3)は、動作サイクルC1で取り込んだ内部アドレス信号IADDZを出力し続ける(図4(e))。この結果、プリデコーダ18は、動作サイクルC1と同一の内部アドレス信号IADDZを受け続け、同一のデコード信号CABmZを出力し続ける(図4(f))。プリデコーダ18、コラム線デコーダ10a、10b等の主要な制御回路は、CMOS回路で形成されている。このため、プリデコーダ18は、電力をほとんど消費しない。

【0032】デコード信号CAAnZ、タイミング信号TCLPZ、CLPZ、RCLPZ、コラム線CL、および冗長コラム線RCLのタイミングは、従来と同一である。そして、この冗長コラム線RCLに対応する冗長用のメモリセル列が選択され、読み出し動作または書き込み動作が実行される。以上、本発明の半導体集積回路では、冗長のメモリセル列14bの動作時に、プリデコーダ18の動作を停止した。具体的には、アドレスラッチ回路28は、冗長のメモリセル列14bの動作時に、前の動作サイクルで取り込んだアドレスを出力し続けた。このため、冗長回路の動作時に消費電力を低減できる。この実施形態では、ビット線(またはコラム線CL)の救済時に消費電力を低減できる。

【0033】また、アドレス非多重式のFCRAMに本発明を適用したので、ビット線(またはコラム線CL)の救済の有無を、動作サイクルの早い時期に判定できる。図5は、本発明の半導体集積回路の第2の実施形態を示して

いる。この実施形態は、請求項3および請求項4に対応している。従来技術および第1の実施形態で説明した回路・信号と同一の回路・信号については、同一の符号を付し、これ等については、詳細な説明を省略する。

【0034】この実施形態では、FCRAMは、4つのメモリバンクBK0、BK1、BK2、BK3を有している。メモリバンクBK0-BK3は、それぞれ、チップ制御部26およびメモリコア部2を有している。内部コマンド信号ICMD、内部行アドレス信号IRADDZ、内部列アドレス信号ICADDZは、メモリバンクBK0-BK3の各チップ制御部26に供給されている。入出力制御部24aは、メモリバンクBK0-BK3を選択するためのバンクアドレス信号BAZを受けている。それ以外の構成は、上述した第1の実施形態と同一である。

【0035】図6は、メモリバンクBK0-BK3におけるチップ制御部26およびメモリコア部2のうち、列アドレスに関係する回路を示している。この実施形態では、プリデコーダ16は、アドレスラッチ回路28に取り込まれた内部アドレス信号IADAZを受けている。プリデコーダ18は、第1の実施形態と同様に、アドレスラッチ回路28に取り込まれた内部アドレス信号IADBZを受けている。プリデコーダ18に接続されたアドレスラッチ回路28は、図2に示したアドレスラッチ信号ALPZの代わりにバンクアドレス信号BALZを受けている。アドレスラッチ回路28を除く回路構成は、従来と同一である。なお、アドレスラッチ回路28は、本発明のために新たに配置した回路ではなく、従来より各メモリバンクBK0-BK3に配置されているアドレスラッチ回路を利用した回路である。具体的には、アドレスラッチ回路28は、従来のアドレスラッチ回路に冗長信号CRDNZの論理を追加して形成されている。

【0036】図7は、図6に示した回路の動作を示している。第1の実施形態と同一の動作については、説明を省略する。最初の動作サイクルC1において、バンクアドレス信号BALZは、所定の期間高レベルにされる。冗長アドレス判定回路20は、内部アドレス信号ICADDZを受けて、低レベルの冗長信号CRDNZを出力する(図7(a))。すなわち、動作サイクルC1で供給される列アドレス信号CADDZは、不良のメモリセルMCに対応するアドレスでない。プリデコーダ16に対応するアドレスラッチ回路28は、バンクアドレス信号BALZに同期して、内部アドレス信号ICADDZを取り込み、取り込んだ信号を内部アドレス信号IADAZとして出力する(図7(b))。同様に、プリデコーダ18に対応するアドレスラッチ回路28は、低レベルの冗長信号CRDNZを受け、バンクアドレス信号BALZに同期して、内部アドレス信号ICADDZを取り込み、取り込んだ信号を内部アドレス信号IADBZとして出力する(図7(c))。プリデコーダ16は、内部アドレス信号IADAZをデコードし、デコードした信号をデコード信号CAAnZとして出力する(図7(d))。プリデコーダ18は、

内部アドレス信号IADBZをデコードし、デコードした信号をデコード信号CABmZとして出力する(図7(e))。デコード信号CAAnZ、タイミング信号TCLPZ、CLPZ、RCLPZ、コラム線CL、および冗長コラム線RCLのタイミングは、従来と同一である。そして、バンクアドレス信号BALZにより選択されたメモリバンクにおいて、所定のコラム線CLに対応するメモリセル列が選択され、読み出し動作または書き込み動作が実行される。

【0037】次に、動作サイクルC2において、冗長アドレス判定回路20は、内部アドレス信号ICADDZを受けて、高レベルの冗長信号CRDNZを出力する(図7(f))。すなわち、動作サイクルC2で供給される列アドレス信号CADDZは、不良のメモリセルMC等に対応するアドレスである。プリデコーダ16に対応するアドレスラッチ回路28は、バンクアドレス信号BALZに同期して、内部アドレス信号ICADDZを取り込み、取り込んだ信号を内部アドレス信号IADAZとして出力する(図7(b))。一方、プリデコーダ18に対応するアドレスラッチ回路28は、高レベルの冗長信号CRDNZを受け、非活性化される。このため、プリデコーダ18に対応するアドレスラッチ回路28のラッチ28a(図3)は、動作サイクルC1で取り込んだ内部アドレス信号IADBZを出力し続ける(図7(h))。この結果、プリデコーダ18は、動作サイクルC1と同一の内部アドレス信号IADBZを受け続け、同一のデコード信号CABmZを出力し続ける(図7(i))。この結果、プリデコーダ18は、電力をほとんど消費しない。

【0038】タイミング信号TCLPZ、CLPZ、RCLPZ、コラム線CL、および冗長コラム線RCLのタイミングは、従来と同一である。そして、バンクアドレス信号BALZにより選択されたメモリバンクにおいて、冗長コラム線RCLに対応する冗長用のメモリセル列が選択され、読み出し動作または書き込み動作が実行される。

【0039】以上、この実施形態においても、上述した第1の実施形態と同様の効果を得ることができる。さらに、この実施形態では、複数のメモリバンクBK0-BK3を有する半導体集積回路においても、プリデコーダ18の不要な電力の消費を低減できる。すなわち、冗長用のメモリセル列14bの動作時に消費電力を低減できる。また、各メモリバンクBK0-BK3に配置されている従来のアドレスラッチ回路28を流用できる。

【0040】なお、上述した実施形態では、各アドレスラッチ回路28に制御回路28cを形成した例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、図8に示すように、制御回路の一部を共通にして制御回路32を形成し、アドレスラッチ回路30の回路を簡素化しても良い。この場合、アドレスラッチ回路のレイアウトサイズを低減できる。

【0041】上述した実施形態では、コラム線CLを救済する場合に、列アドレスに対応するプリデコーダの動作を停止することで、消費電力を低減した例について述べ

た。本発明はかかる実施形態に限定されるものではない。例えば、ワード線WLを救済する場合に、行アドレスに対応するプリデコーダの動作を停止することで、消費電力を低減してもよい（請求項5に対応する）。

【0042】上述した第2の実施形態では、従来のアドレスラッチ回路に冗長信号CRDNZの論理を追加してアドレスラッチ回路28を形成した例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、従来のアドレスラッチ回路はそのまま使用し、このアドレスラッチ回路に供給される内部アドレス信号ICADDZを制御する制御回路（ラッチ回路）を、新たに形成してもよい。

【0043】以上、本発明について詳細に説明してきたが、上記の実施形態およびその変形例は発明の一例に過ぎず、本発明はこれに限定されるものではない。本発明を逸脱しない範囲で変形可能であることは明らかである。

【0044】

【発明の効果】請求項1および請求項2の半導体集積回路では、冗長メモリセル列の動作時に第2デコーダが動作を停止するため、消費電力を低減できる。請求項3および請求項4の半導体集積回路では、複数のメモリバンクを有する半導体集積回路においても、冗長メモリセル列の動作時に消費電力を低減できる。

【0045】請求項5の半導体集積回路では、ワード線の救済時に消費電力を低減できる。請求項6の半導体集積回路では、ビット線（またはコラム線）の救済時に消費電力を低減できる。請求項7の半導体集積回路では、アドレス非多重式の半導体集積回路において、冗長メモリセル列の動作時に消費電力を低減できる。また、ビット線（またはコラム線）の救済の有無を、動作サイクルの早い時期に判定できる。

【図面の簡単な説明】

【図1】本発明の半導体集積回路の第1の実施形態を示すブロック図である。

【図2】列アドレスに関係する回路を示すブロック図である。

【図3】アドレスラッチ回路の詳細を示す回路図である。

【図4】図2に示した回路の動作を示すタイミング図である。

【図5】本発明の半導体集積回路の第2の実施形態を示すブロック図である。

【図6】列アドレスに関係する回路を示すブロック図である。

【図7】図6に示した回路の動作を示すタイミング図である。

【図8】アドレスラッチ回路の別の例を示す回路図である。

【図9】従来の冗長回路を有するDRAMのメモリコア部を

示すブロック図である。

【図10】従来のメモリセルブロックおよびその周囲を示すブロック図である。

【図11】従来のコラムデコーダを選択するためのアドレスデコーダおよび冗長回路を示すブロック図である。

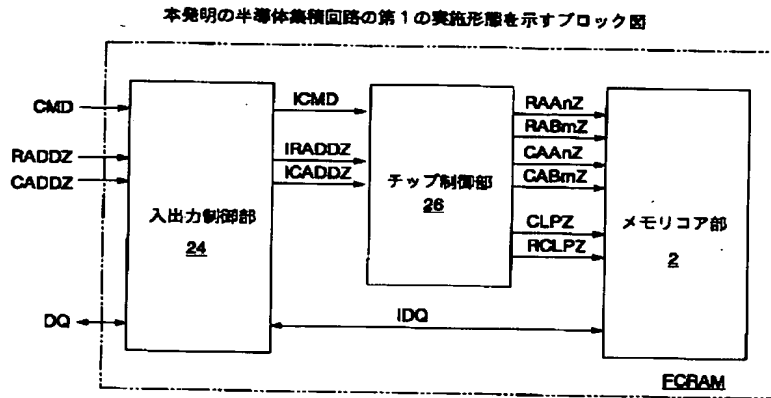
【図12】図11に示した回路の動作を示すタイミング図である。

【符号の説明】

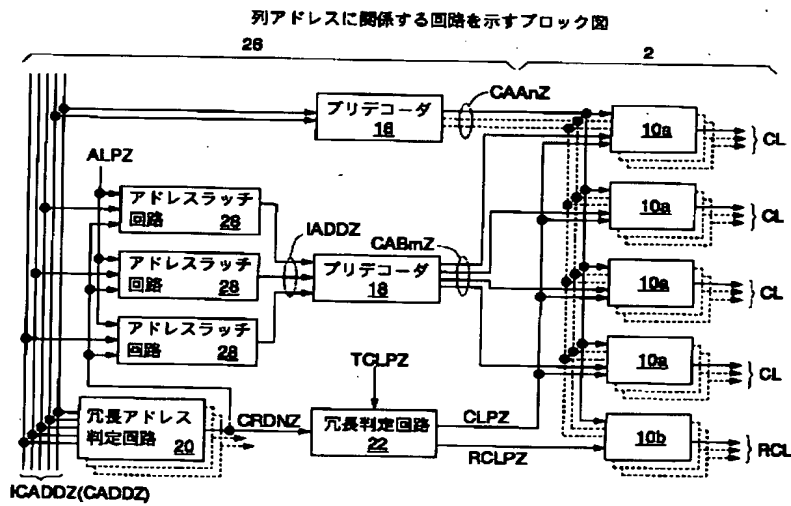
- 2 メモリコア部
- 4 メモリセルブロック
- 6 メモリセルアレイ
- 8 ワード線デコーダ列
- 10 コラム線デコーダ列
- 10a、10b コラム線デコーダ
- 12 センスアンプ列
- 14a、14b メモリセル列
- 16、18 プリデコーダ
- 20 冗長アドレス判定回路
- 22 冗長判定回路
- 24 入出力制御部
- 26 チップ制御部
- 28 アドレスラッチ回路
- 28a ラッチ
- 28b CMOS伝達ゲート
- 28c 制御回路
- 30 アドレスラッチ回路
- 32 制御回路
- ALPZ アドレスラッチ信号
- BAZ バンクアドレス信号
- BALZ バンクアドレス信号
- BK0、BK1、BK2、BK3 メモリバンク
- C1、C2 動作サイクル
- CAAnZ、CABmZ デコード信号
- CADDZ 列アドレス信号
- CL コラム線
- CLPZ タイミング信号
- CMD コマンド信号
- CRDNZ 冗長信号
- DQ 入出力データ信号
- IADAZ、IADBZ 内部アドレス信号
- IADDZ 内部アドレス信号
- ICADDZ 内部列アドレス信号
- ICMD 内部コマンド信号
- IDQ 内部入出力データ信号
- IRADDZ 内部行アドレス信号
- MC メモリセル
- RAAnZ、RABmZ デコード信号
- RADDZ 行アドレス信号
- RCL 冗長コラム線
- RCLPZ タイミング信号

TCLPZ タイミング信号

【図1】

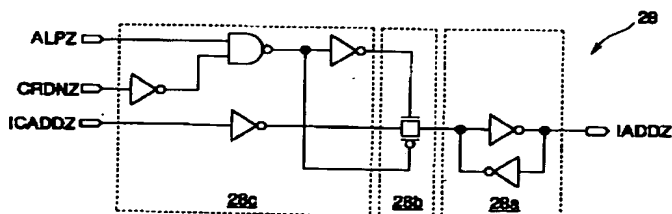


【図2】

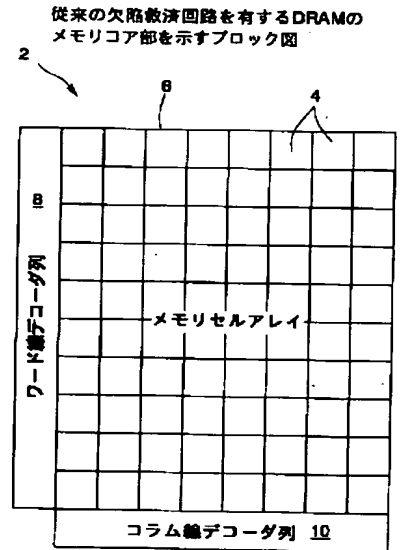


【図3】

アドレスラッチ回路の詳細を示す回路図

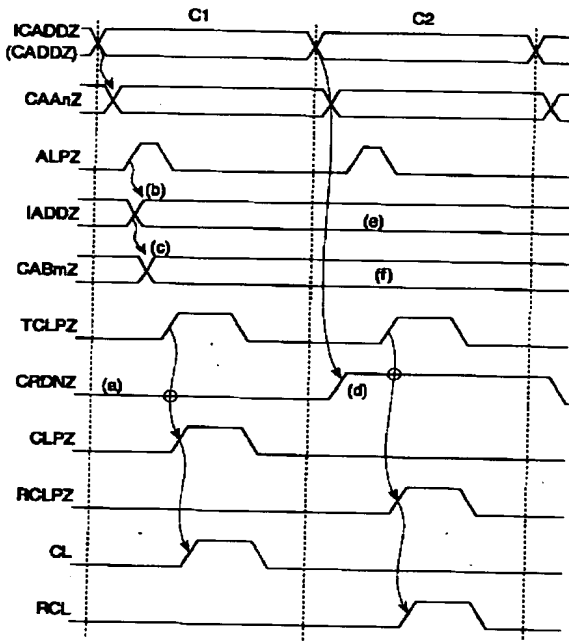


【図9】



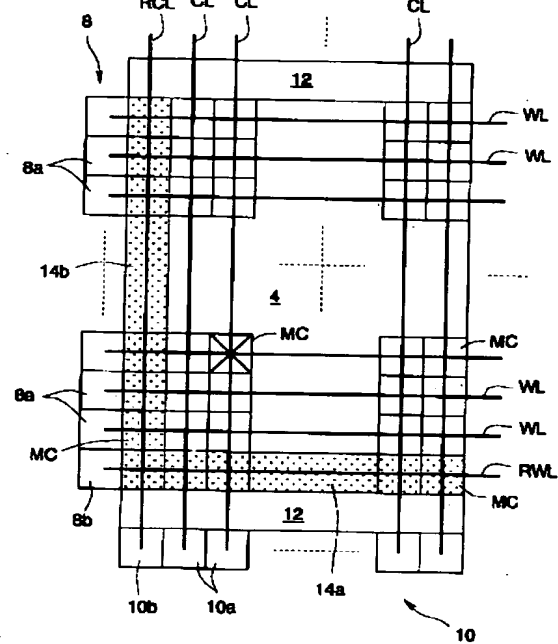
【図4】

図2に示した回路の動作を示すタイミング図



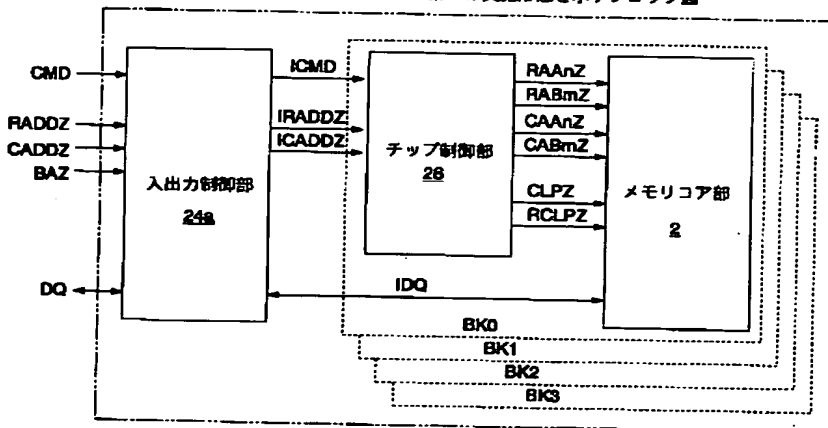
【図10】

従来のメモリセルブロックおよびその周囲を示すブロック図

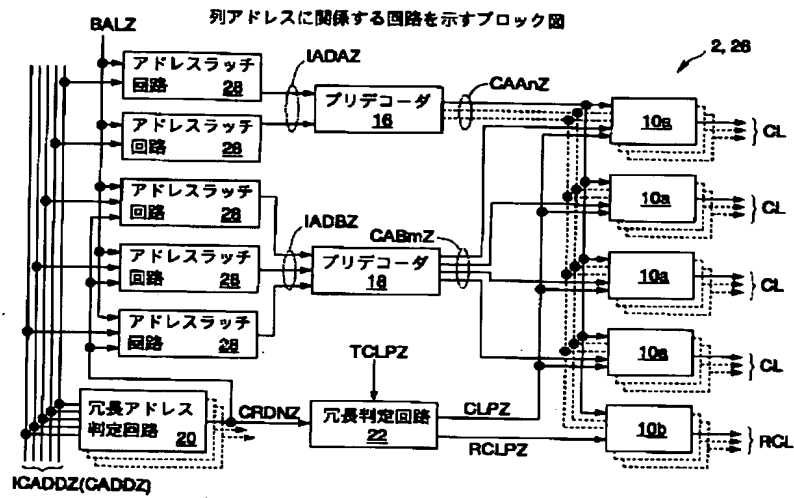


【図5】

本発明の半導体集積回路の第2の実施形態を示すブロック図

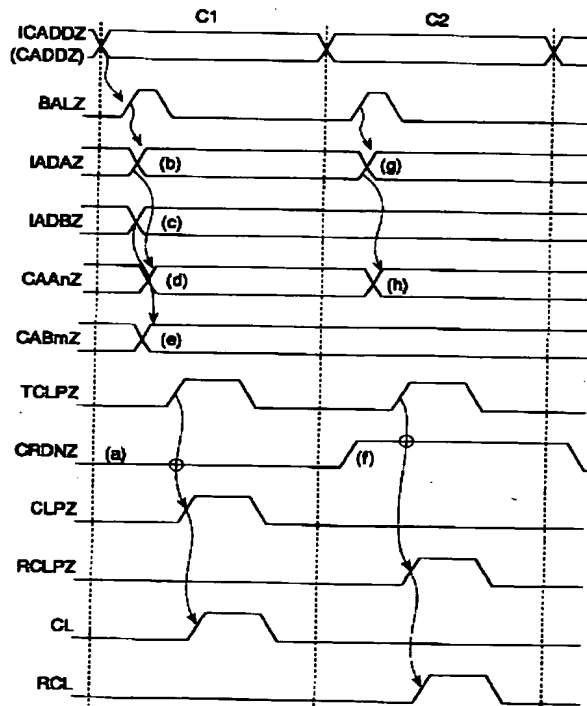


【図6】



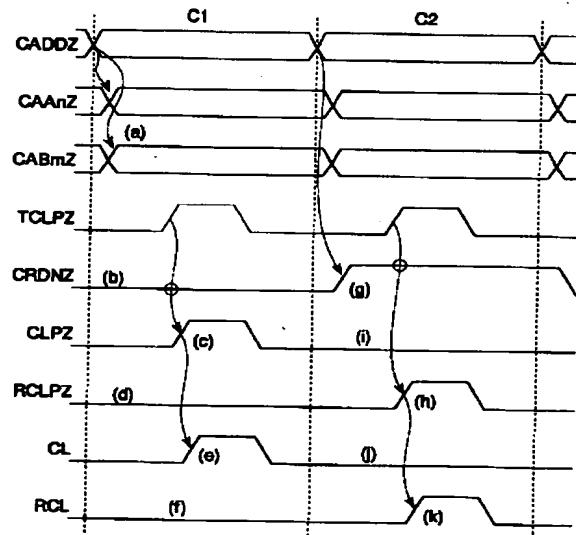
【図7】

図6に示した回路の動作を示すタイミング図

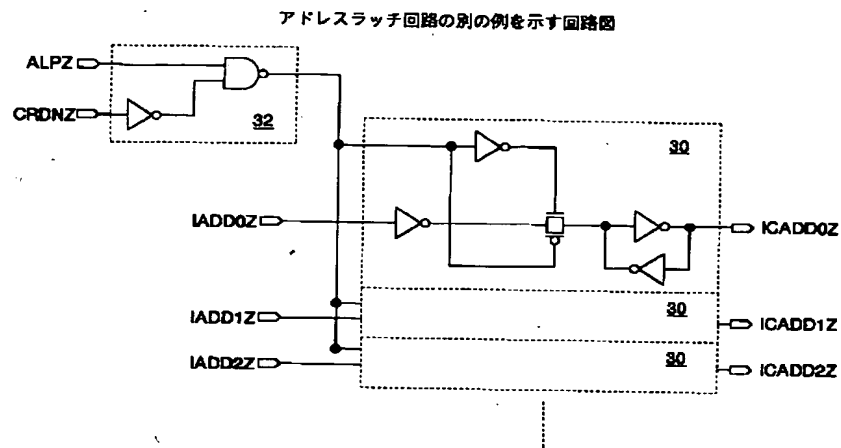


【図12】

図11に示した回路の動作を示すタイミング図

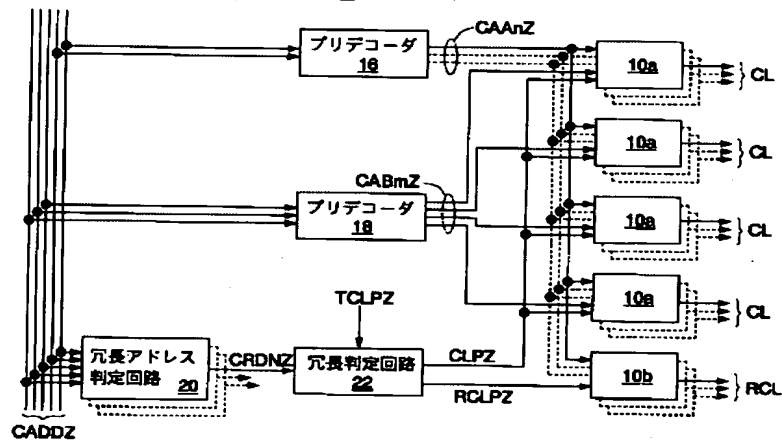


【図8】



【図11】

従来のコラムデコードを選択するためのアドレスデコードおよび救済回路を示すブロック図



フロントページの続き

Fターム(参考) 5B024 AA01 BA17 BA18 BA29 CA16
CA17
5L106 CC17 CC24 CC26 EE01 FF04
FF05 GG00